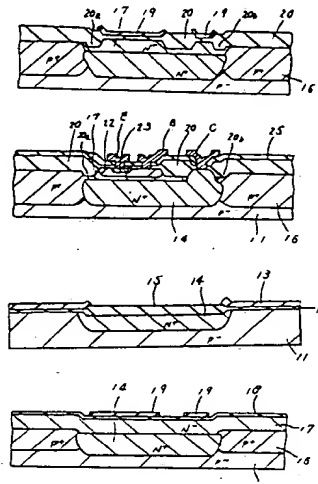


(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(11) 2-339 (A) (43) 5.1.1990 (19) JP
 (21) Appl. No. 63-316360 (22) 16.12.1988
 (71) HITACHI LTD (72) TAKASHI ISHIKAWA(3)
 (51) Int. Cl. H01L21/76, H01L21/331, H01L21/74, H01L29/73

PURPOSE: To increase the degree of integration by forming two buried layer of different conductivity type, in the manner of self-alignment.

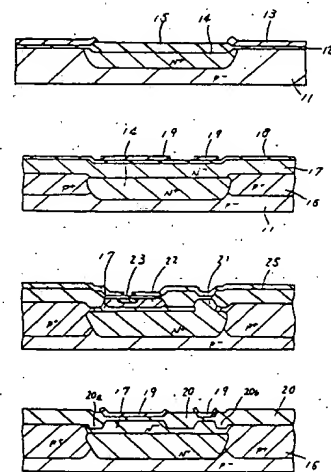
CONSTITUTION: After a thin SiO_2 film 12 and an oxidation resistant Si_3N_4 film 13 formed on a P-type Si substrate surface are selectively eliminated, an N^+ type buried layer 14 is formed by introducing impurity, and a thick SiO_2 film 16 is formed by thermal oxidation. After the film 13 is eliminated, a P-type channel stopper 16 is formed by ion-implanting impurity. After the films 12, 15 are eliminated, an N^- type epitaxial layer 14 and a thin SiO_2 film 18 are formed, and further an Si_3N_4 film 19 is selectively formed. By thermal treatment, the epitaxial layer 17 is selectively oxidized to form a field oxide film 20. By selectively implanting ion, an N^+ type collector connection region 21, a P^+ type base region 22 and an N^+ type emitter region 23 are formed, and further Al electrodes E, B, C are formed.

**(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE**

(11) 2-340 (A) (43) 5.1.1990 (19) JP
 (21) Appl. No. 63-316361 (22) 16.12.1988
 (71) HITACHI LTD (72) TAKASHI ISHIKAWA(3)
 (51) Int. Cl. H01L21/76, H01L21/331, H01L21/74, H01L29/73

PURPOSE: To increase the degree of integration by forming a bipolar element on the upper surface of one of two buried layers of different conductivity type which are formed so as to be adjacent, and making the residual part a thermal oxide isolation region.

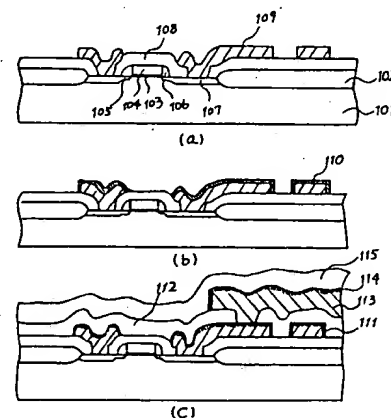
CONSTITUTION: After a thin SiO_2 film 12 and an oxidation-resistant Si_3N_4 film 13 formed on a P-type Si substrate surface are selectively eliminated, an N^+ type buried layer 14 is formed by introducing impurity, and further a thick SiO_2 film 15 is formed by thermal oxidation. After the film 13 is eliminated, a P-type channel stopper 16 is formed by ion-implanting impurity. After the films 12, 15 are eliminated, an N^- type epitaxial layer 14 and a thin SiO_2 film 18 are formed, and further an Si_3N_4 film 19 is selectively formed. By heat treatment using the film 19 as a mask, a field oxide film 20 is formed to a depth not reaching the N^+ type buried layer 14. By selectively implanting ion, a collector connection region 21, a base region 22 and an emitter region 23 are formed.

**(54) SEMICONDUCTOR DEVICE**

(11) 2-341 (A) (43) 5.1.1990 (19) JP
 (21) Appl. No. 63-7989 (22) 18.1.1988 (33) JP (31) 87p.22001 (32) 2.2.1987(3)
 (71) SEIKO EPSON CORP (72) MICHIO ASAHINA
 (51) Int. Cl. H01L21/90, H01L21/288, H01L21/3205, H01L21/336, H01L29/784

PURPOSE: To increase stress-migration resistance and electromigration resistance of wiring, and reduce the generation of voids by using wiring subjected to metal plating treatment for semiconductor device wiring.

CONSTITUTION: After an element isolation insulating film 102, a gate insulating film 103, a gate insulating electrode 104, low and high impurity concentration diffusion layers 105, 107, an interlayer insulating film 108 and an Al wiring 109 are formed on a semiconductor substrate 101, the wiring 109 is dipped in hypophosphorous acid system electroless nickel plating solution, and Ni is deposited only on the wiring 109 surface. After that, when heat treatment is performed, Ni and P are diffused from the wiring 109 surface, hillocks are completely eliminated. After an interlayer insulating film 112 and an Al wiring 113 are formed, electroless nickel plating is performed in the same manner, and a plasma nitride film 115 is deposited.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-341

⑬ Int. Cl.³
H 01 L 21/90

識別記号 庁内整理番号
A 6824-5F

6824-5F
8422-5F

H 01 L 21/88
29/78

⑭ 公開 平成2年(1990)1月5日

3 0 1 R
P ※

審査請求 未請求 請求項の数 11 (全14頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭63-7989

⑰ 出 願 昭63(1988)1月18日

優先権主張 ⑱ 昭62(1987)2月2日 ⑲ 日本(JP) ⑳ 特願 昭62-22001

㉑ 昭62(1987)5月21日 ㉒ 日本(JP) ㉓ 特願 昭62-124912

㉔ 昭62(1987)5月21日 ㉕ 日本(JP) ㉖ 特願 昭62-124913

㉗ 昭62(1987)12月17日 ㉘ 日本(JP) ㉙ 特願 昭62-319221

㉚ 発 明 者 朝 比 奈 通 雄 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内

㉛ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

㉜ 代 理 人 弁理士 最 上 務 外1名
最終頁に続く

明 細 書

1. 発明の名称
半導体装置

2. 特許請求の範囲

(1) 半導体装置の拡散層、ゲート電極、下層配線部等の構成要素に前記構成要素上に形成された絶縁膜に設けられたコンタクト穴を介して結線する上層配線部を有し、前記上層配線部は、メタル、メタルシリサイド、メタルナイトライド、メタルカーバイド、導電性酸化膜等の单相、あるいはこれらの組合わせ積層膜と金属メッキ層との積層構造より成ることを特徴とする半導体装置。

(2) 前記金属メッキ層は、少なくとも1層以上の電気Cu、Ni、Au、Cr、Co、Rh、Pd、ハンダ等のメッキ層、あるいは無電界Cu、Ni、Au、Cr、Co、Rh、Pd、ハンダ等のメッキ層から成ることを特徴とする第1項記載の半導体装置。

(3) 前記金属メッキ層は、電気メッキ層と、無電界メッキ層との組合わせ積層膜であることを特徴する第1項記載の半導体装置。

(4) 前記金属メッキ層は、少なくとも1層以上の合金メッキ層、あるいは単一金属メッキ層と合金メッキ層との組合わせ積層膜であることを特徴とする第1項記載の半導体装置。

(5) 前記電気メッキの電流波形において、直流電流、交流電流、断続電流、PR(Periodic Reverse)電流のいずれかを用いることを特徴とする第1項又は第2項記載の半導体装置。

(6) 前記拡散層は、不純物ドーパSi単結晶拡散層、あるいは、メタルシリサイド裏打ち拡散層であることを特徴とする第1項記載の半導体装置。

(7) 前記コンタクト穴内のみに無電界Cu、Ni、Au、Co、Cr、Rh、Pd、ハンダ等のメッキの1層または、組合わせ積層、あるいは合金メッキ層が形成されていることを特徴とする第1項記載の半導体装置。

(8) 前記ゲート電極及び下層配線部は、ポリシリコン、メタルシリサイド、メタルポリサイド、リフラクトメタル、AL系材料等の単層または積層あるいはそれらと金属メッキ層との積層膜より成ることを特徴とする第1項記載の半導体装置。

(9) 前記ゲート電極、前記下層配線部と、前記上層配線部へ結線するコンタクトホール内のみに無電界Cu、Ni、Au、Co、Cr、Rh、Pd、ハンダ等のメッキの単相又は組み合わせ積層、あるいは、合金メッキ層が形成されていることを特徴とする第1項記載の半導体装置。

(10) 前記ゲート電極、前記下層配線部表面部分に、無電界Ni、Cu、Au、Co、Cr、Pd、Rh、ハンダ等のメッキの単相又は、組み合わせ積層あるいは、合金メッキ層が形成されていることを特徴とする第1項又は第8項記載の半導体装置。

(11) 第1～10項記載の配線構造を有する多層配線を搭載したことを特徴とする半導体装置。

ものである。

また、半導体集積回路内の拡散層、ゲート電極、配線部から、コンタクト穴を介して結線する配線に於いて、該コンタクト穴内のみ各種無電解メッキを形成するか、各種バリアメタルを介して、無電解、あるいは電解メッキ層を形成した配線構造を有する半導体装置に関するものである。

(従来の技術)

従来の半導体装置の配線構造断面図を第10図に示す。図において1000はシリコン等からなる半導体基板、1001は低濃度不純物拡散層、1002は高濃度不純物拡散層、この1001と1002によりソース領域及びドレイン領域が形成されている。1003はゲート酸化膜、1004はゲート電極、1005はサイドウォール膜、1006は素子分離絶縁膜、1007は層間絶縁膜、1008はAL(アルミニウム)配線、1009はパッシベーション、1010はヒルロック、1011及び1012はボイドである。

このように、従来の半導体装置は、配線として

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置に関し、特に半導体装置の配線構造に関する。

(発明の概要)

本発明は、信頼性の高い配線構造を有した半導体装置に関するものである。さらに言えば、少なくとも1層以上の無電界、あるいは電界Ni、Cu、Auメッキ層等を有した配線及び、パンプ電極から成る高信頼性、低コストの半導体装置に関するものである。

さらに言えば、コンタクト孔形成後、メタル、メタルナイトライド、メタルシリサイド、メタルカーバイト薄膜の単層、あるいは、組みあわせ多層膜上に、金属メッキ配線層を形成することにより、ヒルロックフリー、高い耐エレクトロマイグレーション、高い耐ストレスマイグレーション、及び良好なステップカバレッジ、高温でも安定な低抵抗コンタクト抵抗を有する非常に高いパフォーマンスをもった配線構造の半導体装置に関する

ALまたはAL-Si(1%)等の単一層配線をスパッタ、蒸着等の方法により形成していた。

つまり、従来の半導体装置の形成方法としては、第11図(a)、(b)及び第12図(a)、(b)、(c)にあるようなものがあつた。第11図(a)、(b)において、1101は半導体基板、1102は素子分離用絶縁膜、1103はゲート絶縁膜、1104はポリサイド(ポリシリコンと高融点金属シリサイドの二層)のゲート電極、1105は低濃度不純物拡散領域、1106はサイドウォール膜、1107は高濃度不純物拡散領域、1108、1112、1118は層間絶縁膜、1109、1113はAL配線、1116はヒルロック、1117はボイドである。そして、第11図(a)にあるように、層間絶縁膜1108にコンタクトホールを形成後にAL(又はAL-Si)配線1109をスパッタ法で堆積し、フォトリソエッチングによりその配線のつきまわりを良くするために加熱スパッタ法で形成すると、後の熱工程でヒルロックが成長し、層間に電流がリークす

る原因となる。第11図(b)はAL配線が2層の場合の略図である。

また、第12図(a)～(c)はパンプ電極を有する従来の半導体装置の製造方法である。

第12図(a)において、1201はSiからなる半導体基板、1202は素子分離用絶縁膜、1203はゲート絶縁膜、1204はゲート電極、1205は低濃度不純物拡散層、1206はサイドウォール膜、1207は高濃度不純物拡散層、1208は層間絶縁膜を示し、コンタクト孔を形成した後、(b)にあるように配線用金属をデポし、フォトエッチにより、AL配線パターン1211を形成する。そして、層間絶縁膜1212を形成する。次に、(c)にあるように、パットオープン後、メッキ電極用のCr1221と、Au1222をデポし、1223の形状のマスクでフォトエッチする。次にメッキ用のレジストマスク1224(図示せず)でAuメッキ1225を行う。

(発明が解決しようとする課題)

レスマイグレーションを防ぐことができなかった。さらに、エレクトロマイグレーションも限界にきており、大電流を安定して流すことができる高信頼な配線材料の出現が望まれていた。

また、従来技術によると第11図(b)において、層間絶縁膜1112を形成する時、ヒルロック1116が配線上、配線側面に成長し、第1層AL配線1109と第2層AL配線1113間の電流ショートが発生する。又パッシベーション膜として圧縮性のプラズマ窒化膜等を使用すると、AL配線内にストレスマイグレーションによるボイド1117が発生し、断線やエレクトロマイグレーション耐性の劣化が生じる。又、ALを加熱しない場合は、ヒルロックは減少するが、コンタクト部でのつきまわりが悪く、又ストレスマイグレーションにも弱いという欠点があった。

また、従来はコンタクト孔が小さくアスペクト比が大きいとコンタクト部のカバレッジが悪く、特に無加熱の時は、第12図のようにクラック1219が発生し、断線、あるいはエレクトロまた

この従来技術によれば、微細、高アスペクト比のコンタクト部分のつきまわりが悪く、初期的には、断線に至らないものの、信頼性上、非常に低レベルのものであった。第10図にあるように配線上的パッシベーション膜1009にも1012に見られるようなクラックボイド等が生じ、耐湿性等に悪影響を及ぼしていた。さらに、低融点のAL合金の為、熱処理工程でヒルロック1010、ボイド1011、1012が発生したり、浅い拡散層中にALがつき抜け、ジャンクションスパイク等を生じさせていた。又AL合金とSi基板との直接コンタクトにより、界面にSi折出層が形成され、コンタクト抵抗の増加や、バラツキの原因をなっていた。特にサブミクロンレベルのデバイスにおいては、上配傾向が一層顕著となり、従来技術では、初期的にも、信頼性面からも、限界にきていた。又、従来のAL系配線材料では、パッシベーション膜の圧縮応力により、AL配線内に強い引張り応力が残留し、拡散クリープ現象により、AL配線が断線するという、いわゆるスト

はストレスマイグレーション耐性が劣化する。AL配線部のカバレッジが悪いと、上層のパッシベーション膜のつきまわりも悪く、1220のようなボイドが発生し、耐湿性を著しくそこなう。

そこで、本発明の目的は配線に金属メッキ処理したものを配線として用いることにより、配線の耐ストレスマイグレーション及び耐エレクトロマイグレーションが高く、ヒルロック、ボイド等を極力少なくして、サブミクロンデバイスにも十分適用できる実用的で高信頼性の半導体装置を提供することである。

(課題を解決するための手段)

本発明の半導体装置は、半導体装置の拡散層、ゲート電極、下層配線部等の構成要素に前記構成要素上に形成された絶縁膜に設けられたコンタクト穴を介して結線する上層配線部を有し、前記上層配線部は、メタル、メタルシリサイド、メタルナイトライド、メタルカーバイド、導電性酸化膜等の単相、あるいはこれらの組合わせ積層膜と金属メッキ層との積層構造より成ることを特徴とす

る。

また、前記金属メッキ層は、少なくとも1層以上の電気Cu、Ni、Au、Cr、Co、Rh、Pd、ハンダ等のメッキ層、あるいは無電界Cu、Ni、Au、Cr、Co、Rh、Pd、ハンダ等のメッキ層から成ることを特徴とする。

前記金属メッキ層は、電気メッキ層と、無電界メッキ層との組合わせ積層膜であることを特徴とする。

前記金属メッキ層は、少なくとも1層以上の合金メッキ層、あるいは単一金属メッキ層と合金メッキ層との組合わせ積層膜であることを特徴とする。

前記電気メッキの電流波形において、直流電流、交流電流、断続電流、PR(Periodic Reverse)電流のいずれかを用いることを特徴とする。

前記拡散層は、不純物ドーブSi単結晶拡散層、あるいは、メタルシリサイド裏打ち拡散層であることを特徴とする。

上記のように

配線構造を有する多層配線を搭載したことを特徴とする。

(実施例)

以下、本発明を実施例を用いて詳細に説明していく。

(第1実施例)

第1図(a)～(c)は、本発明の一実施例を示すものである。この実施例は、AL配線上に金属メッキを形成するものである。その後、熱処理によりAlとメッキ金属との合金化を行っても良いものである。図において、101は半導体基板、102は素子分離用絶縁膜、103はゲート絶縁膜、104はゲート電極、105は低濃度不純物拡散層、106はサイドウォール膜、107は高濃度不純物拡散膜、108及び112は層間絶縁膜、109及び113はAL配線、110は無電解Niメッキ層、111及び114はNi-P-AL拡散層、115はプラズマ窒化膜である。

(a)は、従来の方と同一であり、約5000ÅのAL(SiとCu含有)配線109を、30

前記コンタクト穴内だけに無電界Cu、Ni、Au、Co、Cr、Rh、Pd、ハンダ等のメッキの1層または、組合わせ積層、あるいは合金メッキ層が形成されていることを特徴とする。

前記ゲート電極及び下層配線部は、ポリシリコン、メタルシリサイド、メタルポリサイド、リフラクトメタル、AL系材料等の単層または積層あるいはそれらと金属メッキ層との積層膜より成ることを特徴とする。

前記ゲート電極、前記下層配線部と、前記上層配線部へ結線するコンタクトホール内だけに無電界Cu、Ni、Au、Co、Cr、Rh、Pd、ハンダ等のメッキの単相又は組み合わせ積層あるいは、合金メッキ層が形成されていることを特徴とする。

前記ゲート電極、前記下層配線部表面部分に、無電界Ni、Cu、Au、Co、Cr、Pd、Rh、ハンダ等のメッキの単相又は、組み合わせ積層あるいは、合金メッキ層が形成されていることを特徴とする。

0℃の加熱下でスパックして形成した。

ドライエッチで該AL配線109をパターニングした後、(b)にあるように次亜硝酸系無電解ニッケルメッキ液に浸漬し、0.15μmのNiをAL配線109表面にのみ析出させた。なお今回は、AL配線109の無電解メッキ前処理としてSn置換法を用いた。(c)にあるようにNi中には、約8%のPが含有され、メッキ後400℃の熱処理により、AL配線109表面からNiとPが拡散し、従来見られた、ヒルロックが全くなかった。さらに層間絶縁膜112を形成し、コンタクトホールエッチ後第2層AL配線113を加熱スパックで形成した後、同様の無電解ニッケルメッキを行い、450℃シンターをした。続いてプラズマ窒化膜115を1μmデポし、電極パットフォトリソエッチ(図示せず)して完成した。

このようにすることにより、第1層AL配線109、第2層AL配線113共に、ヒルロック及びストレスによるボイドは皆無であった。さらに、エレクトロマイグレーション耐性を調べた所、M

TF (Mean Time Fail) のことで、エレクトロマイグレーションにより素子の50%がこわれるまでの時間を示す)が従来より約2桁向上していることが確認された。これは、AL表面から拡散したNi及びPが、電流及び熱によるALの動きを抑制した為と思われる。又比抵抗、ボンディング性、コンタクト抵抗等は、あまり変化がなく、信頼性も良好であった。

今回は、P入のNi無電解メッキを用いたが、PなしのNi無電解、又は無電解Cu、Sn、Au、又はその積層のメッキでも同等の効果が認められており、配線の信頼性を大巾に向上する方法として優れていることが確認された。

又、AL配線の無電解メッキの前処理としてジケート処理、つまりAL配線の表面に亜鉛を形成するかまたはAL配線表面を亜鉛化する処理を用いて、AL配線の膜厚がメッキにより減少することを防ぐのに有効であると考えられる。

又、スパックのAL以外、蒸着CVDによる配線、さらには他の金属、Polysil等の配線に

ついても本発明が適用できることは、いうまでもないことである。

(第2実施例)

次に、第2図(a)～(c)を用いて本発明の他の実施例を説明する。この実施例は、高融点金属配線上に金属メッキをAL配線を行うか、または高融点金属配線上に金属メッキを積層するものを中心に記載してある。

図において、201～208は第1図の101～108と同じである。また、209はTi層、210は無電解Niメッキ層、211はAL配線、212は配線パターン、213はTiSi₂層、214はパッシベーション膜である。

第2図(a)は、従来と同じである。第2図(b)において、コンタクトフォトリソ後、Ti209を200Åスパックでデポする。次に、次亜硝酸系無電解メッキ液中に浸漬し、1000Åの無電解Niメッキ層210をメッキする。この無電解ニッケルメッキ層210は、非常にステップカバレージが良く又、バリアメタルとしても優

れている。続いてAl-Si-Cu合金等からなるAL配線211をスパックし、第2図(c)にあるようにフォトリソで配線パターン212を形成する。450℃のシンター後、パッシベーション膜214を形成し、完成する。一連の熱工程でコンタクト部のTiは下地基板Siと反応してTiSi₂層213になり、低抵抗コンタクトが得られる。又、TiSi₂層213と、無電解Niメッキ層210、及びAL配線211との接触抵抗は低いので総合的に低抵抗コンタクトとなり、NiがALとTiSi₂、Siとの非常に良いパイアとなるので、AL配線211つき抜けにも強くなり550℃までコンタクト抵抗は変化しない。コンタクト部のAL配線211のつきまわりは、下地無電解Niメッキ層210が非常にカバレージが良くコンタクト部にうまく形成されるので、飛躍的に向上する。さらに、エレクトロマイグレーション、ストレスマイグレーション、コンタクトマイグレーション特性も大幅に向上する。

又、コンタクトフォトリソ後、シリサイド/メタル層をデポジションし、次に、配線層を抜きパターンとした、メッキ配線用レジストパターンを形成する。シリサイド/メタル層を電極としてCuメッキを抜きパターン部分に析出させ、レジストを除去後、Cuメッキをマスクとして、配線部以外のシリサイド/メタル層をエッチングすることにより、コンタクト部は低抵抗で、つきまわりも良好、又、CuはAlより比抵抗も低く、融点も高いので、エレクトロマイグレーション、ストレスマイグレーションに強い低抵抗配線が可能である。さらに、Cu配線の耐食性、耐酸化性を改良する為に、Ni、Cu、Pt、Rh、Cr、Au等のメッキ層を薄くコーティングすることにより、非常に高強度で信頼性の高い配線層を形成することができる。勿論、シリサイド/メタルの代わりに、メタルナイトライド/メタルも使うことはできる。又、例えば、Ti、Salicideのように拡散層、電極等がSilicideの場合は、コンタクトフォトリソ後、該コン

タクト穴中のみ無電解で、メッキし、穴埋めを行う。

このメッキは例えば、NiでもCuでもAuでも良い。穴埋め後、前述の如く、シリサイド/メタルをデボシ、メッキ配線をすることもできるし、穴埋めのみメッキで行い、あとは通常のAL系スパッタ配線でも十分に効果が得られる。

さらに前述の構造は、多層配線においても有効であり、コンタクト部の代わりに、第1層配線と第2層配線とのVIAホール(スルーホール)をメッキで穴埋めすることができる。第1層、2層共メッキ配線で行うこともできるし、いずれかをスパッタで形成することも可能である。

(第3実施例)

実施例3として、パンプ電極形成に本発明を適用した例を第3図(a)、(b)に示す。

先ず第3図(a)は、第2図(a)の状態のコンタクトフォトリソ後、Ti層309を200Å、無電解Niメッキ層310を2000Å形成する。続いて、配線パターンを反転させたレジス

ト315パターンを形成し、電解Cuメッキ層316を、下地無電解Niメッキ層310とレジスト315パターン内で囲まれた部分に形成する。レジスト315をハクリし、イオンミーリングでレジスト315反転パターンにあった、Ni-Ti膜309及び310をエッチングし、配線パターンを形成する。パッシベーション膜314を堆積後、(b)にあるようにパット部をオープンし、無電解Cuメッキ層317を1000Å形成する。次に無電解Niメッキ層を該Cuメッキ層317上に厚付けメッキ(約20μ)して、無電解Niメッキパンプ電極318を完成する。

このように、無電解メッキをたくみに用いることにより大幅な合理化とパンプ密着強度の向上を図ることができた。又本実施例は、下地配線がCuメッキの場合を示したが、通常のAL系配線でも同様の構造で高信頼性のパンプ電極が形成できるものである。又、Ni、Cu、Auで様々な用途に対して、使いわけができるもので、応用として、これらの無電解メッキパンプ上に、熔融ハン

ダ法でハンダ電極を形成することも可能である。

したがって本発明は、従来の配線及びパンプ電極形成にみられた欠点を実用レベルで大幅に改良できる構造を有した半導体装置であり、特にコンタクト部、配線部分のカパレッジの改善、エレクトロマイグレーション、コンタクトマイグレーション、ストレスマイグレーションの大幅な向上を図ったものである。

(第4実施例)

第4図(a)~(e)を用いて、本発明の他の実施例を説明する。(a)は平面図を示し、(b)は(a)のA-A'断面図を示し、(d)は平面図を示し、(e)は(d)のB-B'断面図を示す。

この実施例は、TiN/Tiの積層膜上に金属メッキを形成するものを中心に記載してあるものである。

図において、401~408は第1実施例の第1図101~108と同じものを示している。409はコンタクトホール、410はTiN/Ti

積層膜、411はレジスト、412は電解Cuメッキ層、413はCuメッキ配線、414はTiN/Ti積層膜除去部、415はパッシベーション膜である。

第4図(b)において、従来と同様に層間絶縁膜408にコンタクトホール409を形成した後、TiN/Ti積層膜410をTiN/Ti(1000Å/150Å)の厚さでスパッタ等により全面に形成する。そして、配線部分となる所を抜いたレジスト411のパターンを形成する。第4図(a)において、411がレジストパターンを示している。

次に、第4図(c)において、TiN/Ti積層膜410をメッキ電極にして電解Cuメッキ層412を1μつける。

そして、第4図(e)にあるようにレジスト411をはくりして、NH₄OH+H₂O₂系エッチング液で、メッキ電極となった以外のTiN/Ti積層膜410をエッチング除去した後、パッシベーション膜415として、例えばPSG、プ

ラズマ窒化膜を形成し完成する。

ここで、第4図(d)と(e)において、413は配線パターンを示している。

本実施例におけるCuメッキとTiN/Tiの組合わせ以外に、例えばMoメッキ/MoSi₃ (Siのリッチなモリブデンシリサイド)/Ti、Niメッキ/TiSi₃/Zn構造においても、同等の特性が得られており、最初から拡散部にTiSi₃層があるTi-Salicideプロセスでも、十分に適応できるものである。

又、本実施例では、単相配線のみであったが2層、あるいは3層配線でも十分に効果を有するものであり、またバンプ電極構造等でも、下地がAl以外のメッキ配線であるので従来方式より信頼性も高く、工程も合理化できるものである。

本実施例の、Cuメッキ/TiN/Ti配線は、メッキ形成の為非常にカバレッジが良い。Cuが存在する為低抵抗で且つヒルロックフリーであり、また、ストレスマイグレーション及びエレクトロマイグレーションに強い。さらに、Cu-TiN

-Ti-Si間、実際には400℃位の熱工程によりCu/TiN/TiSi₃/Si構造になるのであるが各相間の接触抵抗が非常に小さい上、反応も生じずコンタクト抵抗のパラッキも小さいという配線特性として理想的なパフォーマンスを有している。

又、このことにより配線上のパッシベーション膜のクラック、ボイドも完全に除去出来た。

さらにこのメッキは、電気メッキでも、無電解メッキでも同様の効果が確認されており特に、無電解Cuメッキの場合は、コンタクト部のつきまわりが良く、低抵抗で信頼性の高い配線が得られる。

また、上記実施例以外に例えば、無電解Niメッキ/MoSi₃/Ti(1μ/1000Å/150Å)、Cu-Sn電気メッキ/ITO/Zr(5000Å/1000Å/200Å)等でも同等な特性が得られる。又導電性酸化膜としては、ITOの他にY、Ba、Cu系、Sr、Ba、Cu系酸化膜等においても、十分なバリア性と、密

着性を確保できる。無電解メッキは、密着性、カバレッジが優れており、ピンホールも少ないので、特にサブミクロンコンタクト部をおおう配線に有効である。

(第5実施例)

第5図を用いて本発明の他の実施例を説明する。図において601~608は第1図の101~108と同じものを示す。

第2図(a)のようなコンタクトフォトリソ後、第5図においてはTas₂/Ti積層膜509(500Å/150Å)をデポジションし、800℃で30秒N₂中でランプアニールする。コンタクト部はTiとSiが反応してTiSi₃層510になる。次に、配線パターンが抜きパターンになるようにレジストを形成し、ピロリン酸銅メッキ浴でCu電気メッキを行い電解Cuメッキ層511を1.5μm形成する。この時、電流波形は、PR電流を用い、アノードでの溶解析出により、コンタクト穴内へのCuのつきまわりを向上させた。その後レジストをハクリし、Tas

Si₃/Ti積層膜516を電解Cuメッキ層518をマスクにして、エッチング除去後、Ni-P(ニッケルリン)無電解メッキ層512を500Å形成する。そして、パッシベーション膜513を堆積して完成する。

(第6実施例)

第6図を用いて本発明の他の実施例を説明する。図において601~608は第1図の101~108と同じものを示す。

第6図において、ソース・ドレイン領域、ゲート電極、素子分離用絶縁膜を従来と同じ方法により形成した後、ゲート電極と、拡散部は、Ti-Salicideプロセスにより、TiSi₃層609が形成されている。コンタクト穴をRIE(リアクティブ・イオン・エッチング)で層間絶縁膜608を選択的にエッチング除去して形成した後、コンタクト穴内のみ、無電解Niメッキ層610を形成する。Niメッキは、下地TiSi₃層609から成長し、コンタクト穴内のみ埋めることが出来る。続いて、バイアメタル611と、

AL-Si-Cu系配線612を、スパッタでそれぞれ1000Åと1μm積層デポし、フォトリソして、配線パターンを形成する。パッシベーション膜613をデポして完成する。無電解Niメッキ層610は、PあるいはBを含んでも良く、又、上層のバリアメタル611はなくても同等の効果を得る。又、無電解Niメッキ層610の上層のバリアメタル611は、前述した実施例で示した如くメッキ配線、例えばCuメッキでも良い。

(第7実施例)

次に第7図を用いて本発明の他の実施例を説明する。図において、701~708は第1図の101~108と同じものを示す。

第7図において、ゲート電極704は、リンドープポリシリコン710、バリアメタル711、Cuメッキ層712より成り、これによりゲート電極704の抵抗を、TOTAL4000Ωで、0.1Ω/□以下にすることができる。次に拡散層606上のTi-Salicideで形成され

第8図において、ゲート、ソース、ドレイン部上をTi-Salicideにより、TISI、層809で、形成後、コンタクトフォトリソし、バリアメタル810としてTICを1000Åデポ後、Cuメッキ層811を5000Å形成し、該第1層Cu配線を無電解Crメッキ層812を400Åでおおふ。続いて、層間絶縁膜813をデポし、VIAフォトリソ後第2層配線のAL-Si-Cu系配線814をスパッタで形成する。配線パターンにフォトリソ後、無電解Ni-Pメッキ層815を500Å形成し、パッシベーション膜816をデポして2層配線を完成する。勿論第2層配線も第1層配線と同様Cuメッキ+無電解Niにすることもできることはいふまでもない。

(第9実施例)

第9図を用いて、本発明の他の実施例を説明する。図において、901~908は第1図の101~108と同じものを示す。

第9図に於いて、ゲート、ソース、ドレイン部

上TISI、層709上のコンタクト穴中のみ、無電解Niメッキ層713で穴埋めし、第1層配線をAL-Si系配線714と、バリアメタル715の積層で形成する。層間絶縁膜716に、VIAホールをあけ、該穴中に、無電解Niメッキ層717をセレクトティブに穴埋めする。次に第2層AL-Si-Cu系配線718を1μmデポし、エッチングしてAL2層配線を形成する。そして、パッシベーション膜を形成して完成する。配線層をメッキにすることも可能であり、穴埋めメッキも、Niの他、Cu、Co、Au、Rh、Cr、ハンダ等も使用することが出来る。バリアの種類も、高融点金属のメタル、メタルシリサイド、メタルナイトライド、メタルカーバイド、導電性酸化膜の単相、又は組合わせ積層膜でも効果を得ることができる。

(第8実施例)

第8図を用いて本発明の他の実施例を説明する。図において、801~808は第1図の101~108と同じものを示す。

上にTi-SalicideによりTISI、層909を形成後コンタクトフォトリソ後穴中へ、無電解Cuメッキ層910を埋込み、続いて配線パターンに無電解Cuメッキ層911を形成する。次に、該配線メッキパターン外周に無電解Ni-Pメッキ層912を1000Å形成し、パッシベーション膜913をデポする。パットフォトリソ後、パット部へ無電解Cuメッキ層914を20μm形成し、さらに、無電解ハンダメッキ層915を20μm形成して、バンパ付配線を完成する。

以上、実施例により本発明は詳しく説明してきたが、本発明は何らかの配線上にメッキをしたものだけではなく、配線そのものをメッキで形成した場合も非常に有効である。特にことわってはいないが、本実施例中で単に配線としたものはメッキにより形成されたものも含むものである。

また、各種メッキ処理の条件の一例を以下に示す。

・電解Niメッキ・・・スルファミン酸ニッケル+ホウ酸溶を中心として、PH3.5、浴

温40~50℃で行う。

・電解Cuメッキ・・・ピロリン酸銅メッキ浴を用い、PH8.2、P(リン)組成7.2wt%、浴温50℃、1A/dm²で行う。

・無電解Cuメッキ・・・CuSO₄・5H₂O + HCHO(35%) + アルカノールアミン系キレート(安定剤として)を用い、PH12~12.5、20~50℃で行った。

(発明の効果)

AL配線が、素子の微細化に伴い細くなってもその上に金属メッキ、例えばNiメッキ、Cuメッキ、Crメッキ、Ptメッキ、Rhメッキ、Auメッキ等を形成することにより、ヒルロック及びストレスによるボイドが全くなく、さらに耐エレクトロマイグレーション特性、耐コンタクトマイグレーション特性も向上する。また、コンタクト部及び配線部分のカバレッジの大幅な改善が行える。

また、第5実施例にあるようにTaSi₃/Tiのバリア膜を全面デポ後800℃ランプアニ

ールにより、コンタクト部はSiとTiが反応しTiSi₂となり低抵抗コンタクトが得られる。TaSi₃/Tiは、同時にメッキ用電極となり、PR電流でメッキするとReverse電流の時、メッキされたCuが再溶解し、コンタクト内のつきまわりが改善される。この方法により小さなコンタクト中にCuは、完全に埋まる為、配線が非常に平坦化される。又Cu/TaSi₃/TiSi₂/Siのコンタクト構造は、熱的に非常に安定なので、コンタクト抵抗のバラツキや、つき抜け、コンタクトマグレーションは生じない。さらにコンタクト抵抗そのものも非常に低い。Cu配線のまわりを無電解Niメッキでおおうことにより、Cuの酸化や腐食を防ぐことができる。又、CuはAlより比抵抗が、低い上、融点、強度も大きいので、ヒロック、ストレスマイグレーションはなく、エレクトロマイグレーションも10倍以上向上する。さらに本発明は、微細パターンをメッキ配線で行うので、エッチングが不用で、レジストさえ最適化すれば、サブミクロン配線に

も十分使用出来るものである。

さらに、第6実施例にあるようにコンタクト穴中のTiSi₂上にも、Niメッキが無電解で析出し、他の部分で析出しない為、コンタクト穴埋めが出来、完全平坦化が可能となる。さらに無電解金属メッキは下地とも密着性も良い上、下地TiSi₂層、上のバリアメタル、あるいはAl系配線との接触抵抗が低く、バリア性も十分である。アスペクト比が1以上の0.5μmコンタクトでも十分に無電解穴埋めが可能で、つき抜け耐性は、500℃2Hシンターしても、コンタクト抵抗と基板リーク電流は全く変化しない。又実質的にコンタクト部のステップカバレッジが向上するので、エレクトロマイグレーション耐性(MTF)が、コンタクト段差で約10倍向上した。

また、第7実施例のようにゲート電極もメッキ形成できる例を示した。この例は、Cuメッキ/バリアメタル/リンドープポリシリコン構造の電極でCu電極は、バリアメタルをメッキ電極としたメッキ形成なので、カバレッジも良く、エッチ

ングの難しさもない。又、コンタクト、VIAの穴部を無電解Niメッキでうめているので、殆ど完全平坦化ができ、信頼性が大幅に向上する。そして、第8実施例のように、配線層形成後、無電解金属メッキ層で配線をおおうことにより、Al系配線の場合は、ヒルロックやボイドを消滅させ、ストレスとエレクトロマイグレーション特性を大幅に改良できる。さらに、Cuメッキ配線等の表面をCrやNi、Rhなどで無電解メッキすることにより耐食性、耐酸化性を向上することができる。従来のAl系配線にかわり、コンタクト、VIA穴を、無電解Cuメッキ、配線もCuメッキし、表面のみ無電解Niメッキをほどこした配線で、0.8μmパターンこの超LSIを試作したところ歩留りも従来以上に信頼性上何の問題もなかった。

又、配線の電流許容値は、段差部で、10mA/μm²まで可能で約従来のAl系の10倍であった。

また、第9実施例のようにパンプ電極に本発明を適用したものは、配線、パンプ電極形成をすべ

て無電解金属メッキで行った例である。工程も非常に短縮化され、又信頼性は大幅に向上できた。以上実施例により、本発明の内容、及び効果を示してきたが、無電解、電解金属メッキと、各種バリアメタルを組み合わせて、半導体集積回路の配線を形成することにより、従来の配線では、不可能であった、高集積化された半導体装置の高信頼性配線を実現させたものである。

4. 図面の簡単な説明

第1図(a)～(c)、第2図(a)～(c)、第3図(a)、(b)及び第4図(a)～(c)は、それぞれ本発明の一実施例を示す半導体装置の製造工程断面図を示す。

第5図、第6図、第7図、第8図及び第9図は、それぞれ本発明の一実施例を示す半導体装置の主要断面図を示す。

第10図は、従来の半導体装置の主要断面図を示す。

第11図(a)、(b)及び第12図(a)～

(c)は、それぞれ従来の半導体装置の製造工程断面図を示す。

- ・ 1000、1101、1201、101、201、401、501、601、701、801、901・・・半導体基板
- ・ 1006、1102、1202、102、202、402、502、602、702、802、902・・・素子分離用絶縁膜
- ・ 1001、1105、1205、105、205、405、505、605、705、805、905・・・低濃度不純物拡散層
- ・ 1002、1107、1207、107、207、407、507、607、707、807、907・・・高濃度不純物拡散層
- ・ 1003、1103、1203、103、203、403、503、603、703、803、903・・・ゲート絶縁膜
- ・ 1004、1104、1204、104、204、404、504、604、704、804、904・・・ゲート電極
- ・ 1005、1106、1206、106、206、406、506、606、706、806、906・・・サイドウォール膜
- ・ 1007、1108、1112、1118、1208、108、111、208、408、508、608、708、716、808、813、908・・・層間絶縁膜
- ・ 1008、1109、1113、1211、109、113、211・・・AL配線
- ・ 1009、214、314、415、513、613、719、816、913・・・パッシベーション膜
- ・ 1010、1116・・・ヒルロック
- ・ 1011、1012、1117・・・ボイド
- ・ 1221・・・Cr
- ・ 1222・・・Au
- ・ 1225・・・Auメッキ
- ・ 110、210、310、610、713、717・・・無電解Niメッキ層
- ・ 111、114・・・Ni-P-AL拡散層
- ・ 115・・・プラズマ窒化膜
- ・ 209、309・・・Ti層
- ・ 212・・・配線パターン
- ・ 213、510、609、709、809、909・・・TiSi₂層
- ・ 315、411・・・レジスト
- ・ 316、317、412、511・・・電解Cuメッキ層
- ・ 318・・・無電解Niメッキバンプ電極
- ・ 409・・・コンタクトホール
- ・ 410・・・TiN/Ti積層膜
- ・ 413・・・Cuメッキ配線
- ・ 414・・・TiN/Ti積層膜除去部
- ・ 509・・・TaSi₂/Ti積層膜
- ・ 512、815、912・・・Ni-P無電解メッキ層
- ・ 611、711、715、810・・・バリアメタル
- ・ 612、714、718、814・・・AL

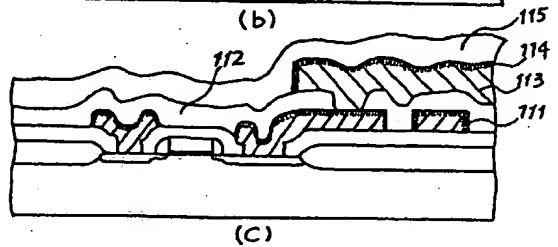
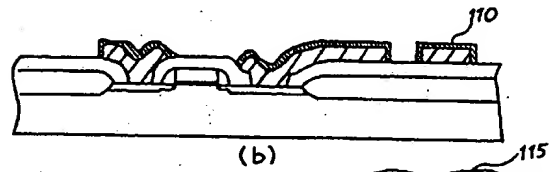
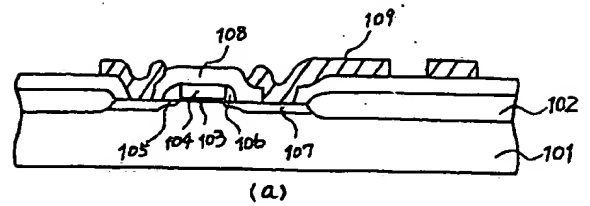
-Si-Cu系配線

- ・ 710・・・リンドープポリシリコン
- ・ 712、811、910、911、914・・・Cuメッキ層
- ・ 812・・・無電解Crメッキ層
- ・ 915・・・無電解ハンダメッキ層

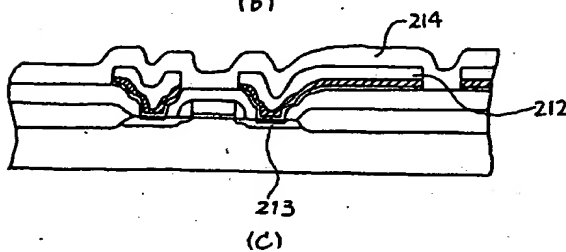
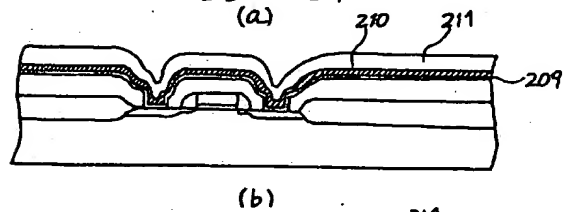
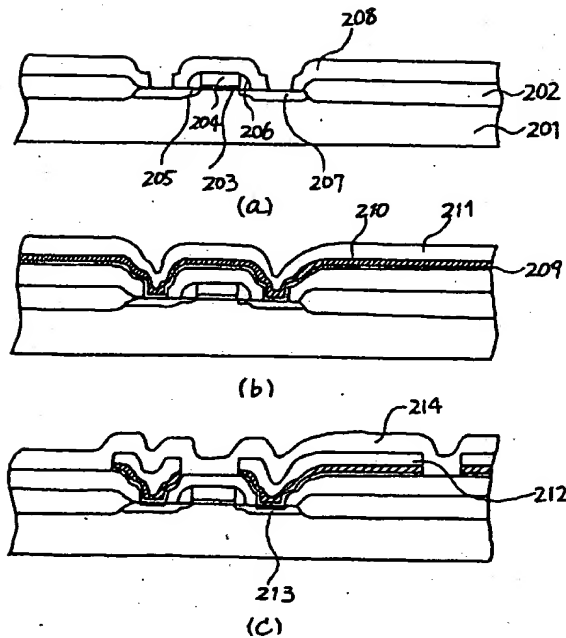
以上

出願人 セイコーエプソン株式会社

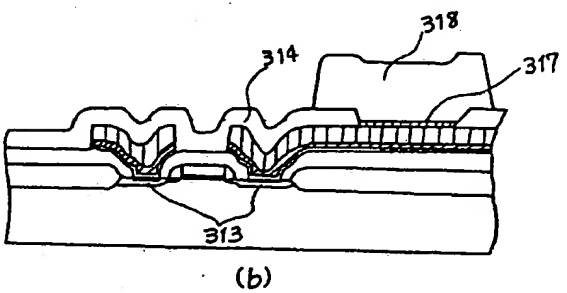
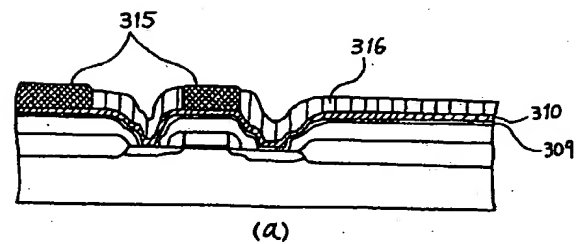
代理人 弁理士 最上 務(他1名)



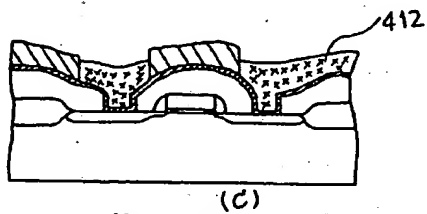
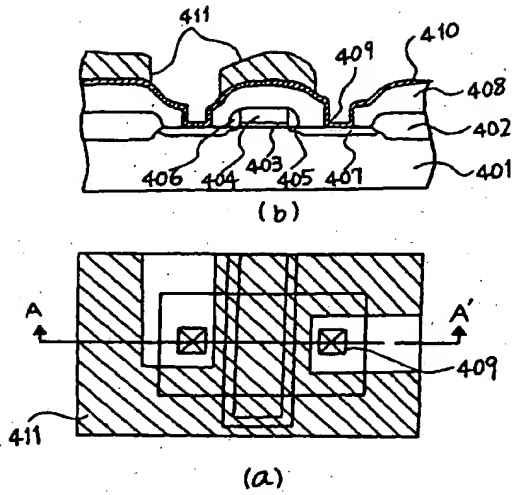
第 1 図



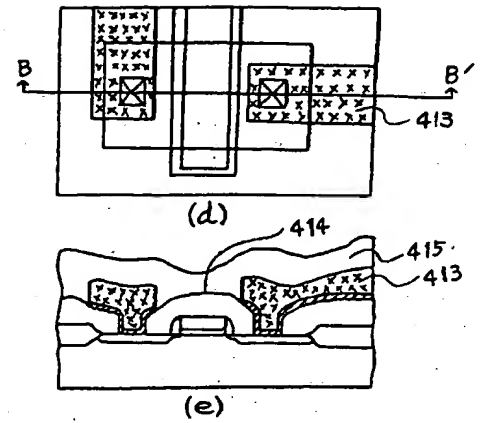
第 2 図



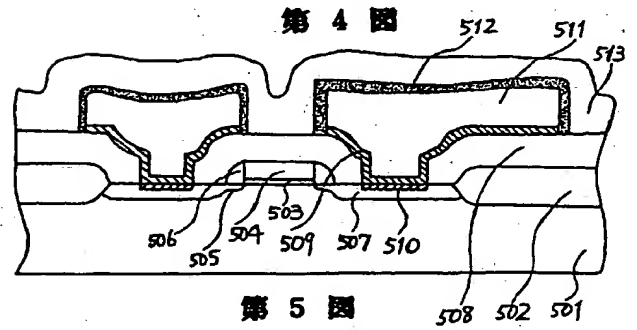
第 3 図



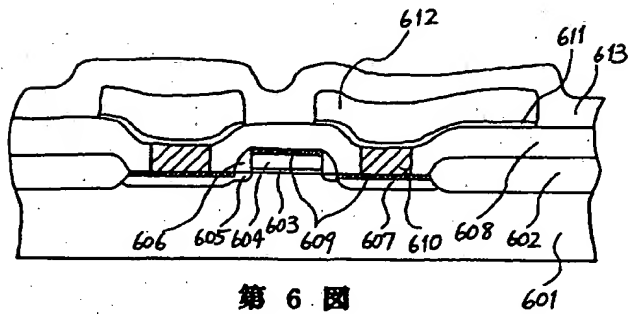
第 4 圖



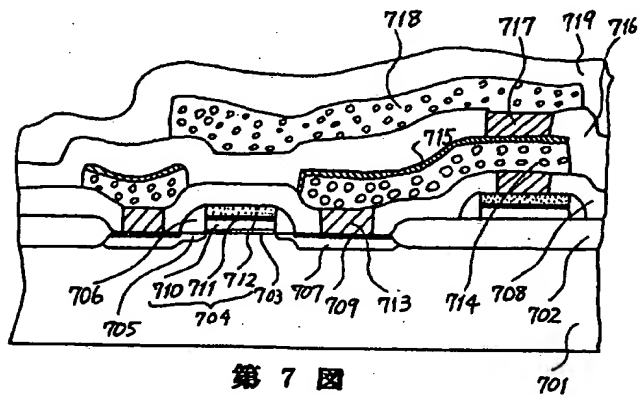
第 4 圖



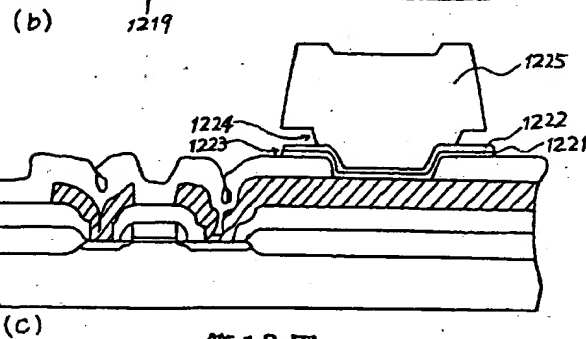
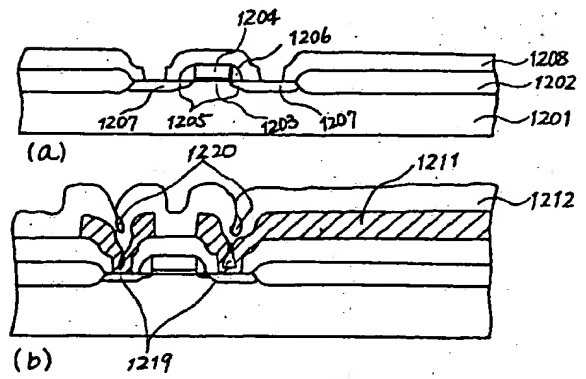
第 5 圖



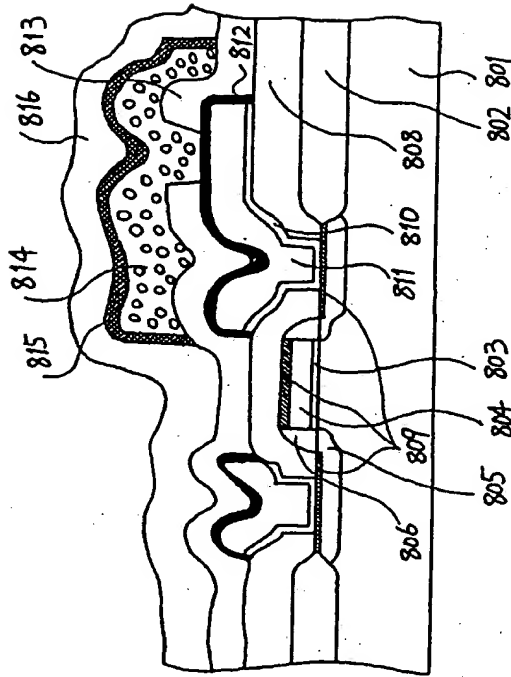
第 6 圖



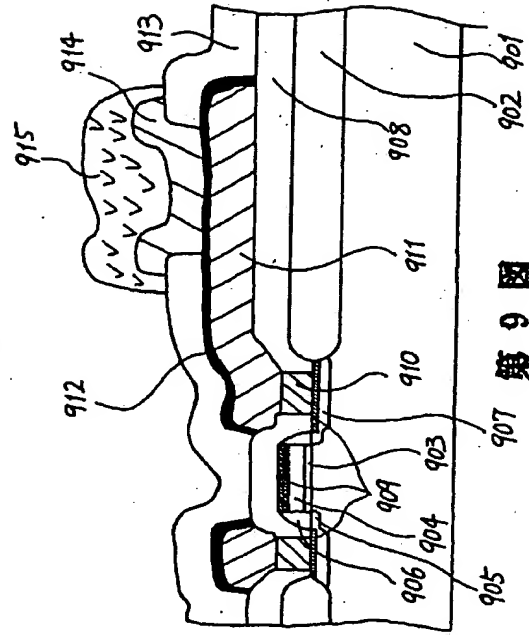
第 7 圖



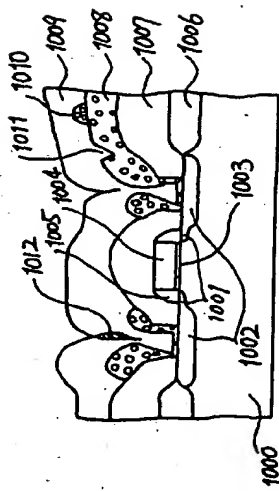
第 12 圖



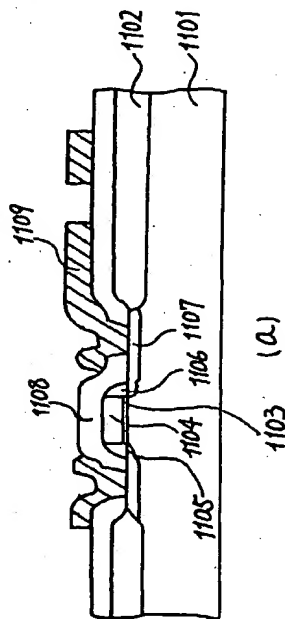
第 8 図



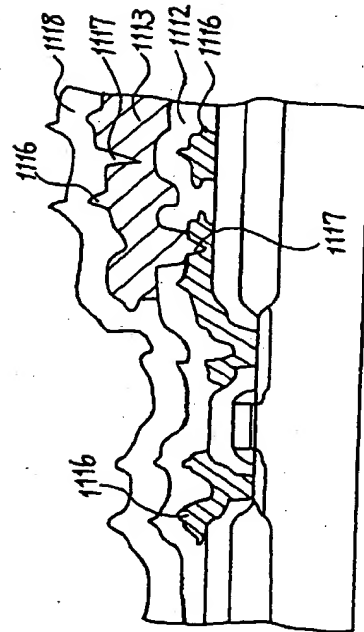
第 9 図



第 10 図



(a)



(b)
第 11 図

第1頁の続き

⑥Int.Cl.

H 01 L 21/288
21/3205
21/336
29/784

識別記号

E

庁内整理番号

7738-5F